

UM PROCESSADOR DE SINAL INTEGRADO

FABIO MONTORO

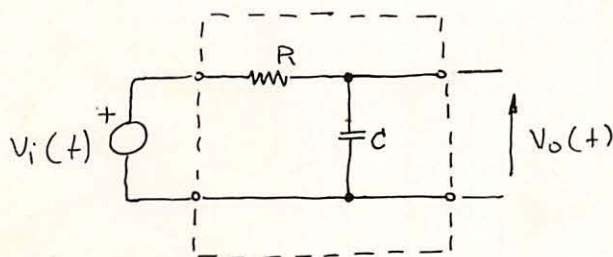
UNB - JUN-81

A FINALIDADE DESSE TRABALHO É MOSTRAR UM CIRCUITO INTEGRADO ESPECÍFICO PARA PROCESSAMENTO DE SINAIS, DESENVOLVIDO PELA INTEL - O "2920".

MAS, ANTES DE DISCUTIR SOBRE SUAS CARACTERÍSTICAS, TENTAREI MOSTRAR O QUE É PROCESSAMENTO DE SINAIS.

SUPONHAMOS UM CIRCUITO RC, CONFORME MOSTRADO NA FIG 1, OU SEJA, UM FILTRO PASSA-BAIXO DE 1 POLO.

PODEMOS CALCULAR SUA FUNÇÃO DE TRANSFERÊNCIA ATRAVÉS DAS EQUAÇÕES BÁSICAS QUE RELACIONAM VOLTAGEM-CORRENTE EM SEUS ELEMENTOS: O RESISTOR E O CAPACITOR.



DESSE MODO, CHEGAMOS À EQUAÇÃO DIFERENCIAL:

$$V_o(t) + RC \frac{dV_o(t)}{dt} = V_i(t)$$

OU:
$$\boxed{\frac{dV_o(t)}{dt} + \frac{V_o(t)}{RC} = \frac{V_i(t)}{RC}} \quad \dots (1)$$

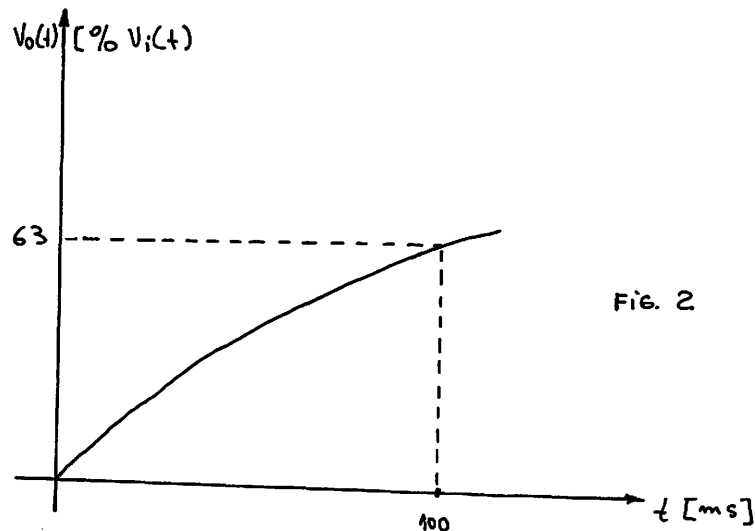
SUPONDO QUE A TENSÃO DE ENTRADA $V_i(t)$ SEJA UM DEGRAU, OBTÊMOS, COMO SOLUÇÃO DA EQUAÇÃO (1):

$$V_o(t) = U^{-1}(t) [1 - e^{-t/RC}] \quad \dots (2)$$

e, PARA $t \geq 0$:
$$\boxed{V_o(t) = 1 - e^{-t/RC}} \quad \dots (3)$$

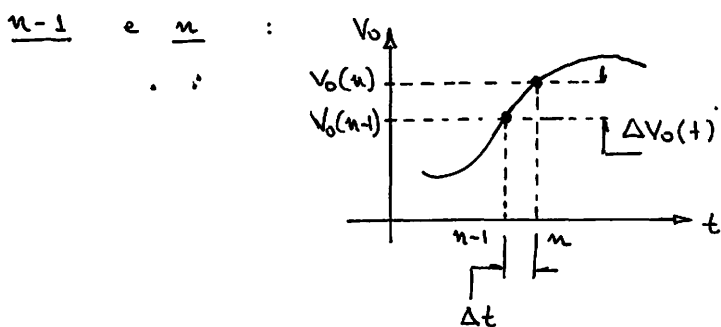
COM ESSA EQUAÇÃO, FINALMENTE, PODEMOS TRAÇAR UMA CURVA $V_o(t) = f[V_i(t)]$,

SUPONDO $R = 10 K\Omega$ e $C = 10 \mu F$, OBTÊMOS A CURVA DA FIGURA 2.



AO INSERIR ESSE FILTRO ANALÓGICO NO CAMINHO DE UM SINAL, PODEMOS DIZER QUE ESTAMOS TRATANDO O SINAL DE ENTRADA $V_i(t)$ PARA OBTER A SAÍDA $V_o(t)$, OU SEJA, CONFORME A EQ. (3), NO CASO DE $V_i(t) = U^{-1}(t)$.

ANALISEMOS AGORA, O MESMO CIRCUITO, DE UMA MANEIRA DIFERENTE: TIREMOS O VALOR $\frac{dV_o(t)}{dt}$ DIRETAMENTE DA CURVA, TOMANDO SOBRE ELA, DOIS PONTOS QUALQUER:



$$\therefore \frac{dV_o(t)}{dt} = \frac{V_o(n) - V_o(n-1)}{\Delta t} \dots (4)$$

NATURALMENTE, QUANDO $\lim_{\Delta t \rightarrow 0}$.

SUBSTITUINDO EM (1):

$$\frac{V_o(n) - V_o(n-1)}{\Delta t} + \frac{V_o(n)}{RC} = \frac{V_i(n)}{RC}$$

EXPLICITANDO $V_o(n)$:

$$V_o(n) = \frac{\Delta t / RC}{1 + \Delta t / RC} \cdot V_i(n) + \frac{1}{1 + \Delta t / RC} \cdot V_o(n-1) \dots (5)$$

OBSERVAR QUE, NA EQ (5) OS VALORES DE V_o E V_i SÃO DISCRETOS E TOMADOS A CADA Δt .

FAZENDO $\Delta t = 10 \text{ ms}$ e UTILIZANDO OS MESMOS VALORES DE R e C , $10 \text{ K}\Omega$ e $10 \mu\text{F}$ RESPECT., TEREMOS:

$$V_o(n) = 0,09 V_i(n) + 0,9 V_o(n-1) \quad \dots (6)$$

PARA $V_i(n) = U^{-1}(n)$ e $t \geq 0$, FICA:

$$V_o(n) = 0,09 + 0,9 V_o(n-1) \quad \dots (7)$$

TRAÇEMOS AGORA A CURVA $V_o(n)$ CONFORME A EQ.(7), E VAMOS VERIFICAR:

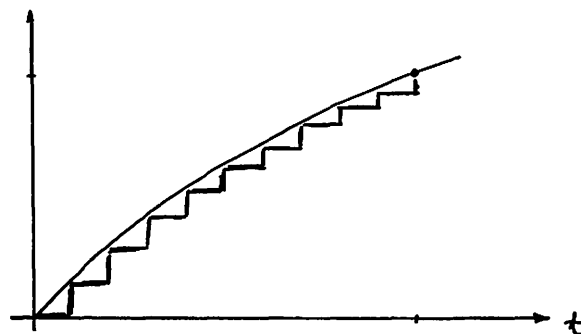


FIG. 4

COMPARANDO AGORA AS EQS. (3) e (7):

PARA OBTERMOS $V_o(t)$ EM (3), UTILIZAMOS R e C PARA RESOLVER A EXPONENCIAL, ALÉM DE SOMA E MULTIPLICAÇÃO. EM (7) OBTIVEMOS $V_o(n)$ SOMENTE COM SOMA E MULTIPLICAÇÃO. QUEREMOS DIZER QUE, COM A EQUAÇÃO (7), PODEMOS SUBSTITUIR R e C POR UM MICROPROCESSADOR QUE RESOLVA SOMA E MULTIPLICAÇÃO!

TRAÇEMOS UM "FLUXOGRAMA" DA EQ. (7):

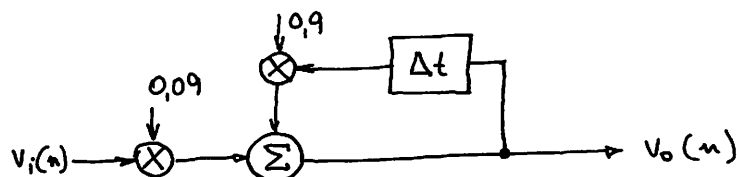


FIG. 5

PODEMOS VER NA FIG. 5 QUE: O SINAL DE ENTRADA É MULTIPLICADO POR 0,09 E SOMADO AO RESULTADO DE UMA MULTIPLICAÇÃO DE OUTRA CONSTANTE (0,9) PELO SINAL DE SAÍDA NO INSTANTE $n-1$ (OU SEJA: RETARDADO DE Δt). É FÁCIL EM UM μP ARMAZENAR $V_o(n)$ EM UMA MEMÓRIA, PARA UTILIZÁ-LO NO PRÓXIMO PASSO COMO $V_o(n-1)$. PARA COMPLETAR O CIRCUITO DA FIG. 5, ALÉM DO μP , PRECISAMOS DE CONVERSORES A/D e D/A:

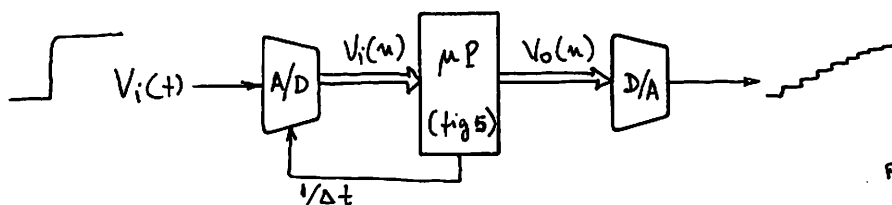


FIG. 6

O SINAL DE ENTRADA $V_i(t)$ É AMOSTRADO A CADA Δt , OBTENDO-SE $V_i(n)$ EM DIGITAL, QUE É PROCESSADO PELO μP , SAINDO $V_o(n)$ - DIGITAL. FINALMENTE $V_o(n)$ É PASSADO PARA ANALÓGICO.

FAZEMOS UMA COISA SURPREENDENTE: SUBSTITUÍMOS UM RESISTOR E UM CAPACITOR POR UM MICRO-PROCESSADOR, UM CONVERSOR A/D E UM D/A, ALÉM DE NOS LIVRARMOS AOS ERROS DA "ESCADINHA" !!!

APARENTEMENTE, NENHUMA VANTAGEM, MAS SE PENSARMOS EM UM μP ESPECÍFICO PARA ESSE TRABALHO, COM VELOCIDADE SUFICIENTE PARA PERMITIR AMOSTRAR EM PEQUENOS Δt , PODEMOS CONSTRUIR FILTROS DIGITAIS NÃO DE 1 POLO, MAS DE 40 POLOS! E O PROCESSAMENTO NÃO SE RESTRINGE A FILTROS; PODERÍAMOS IMPLEMENTAR MODULADORES, GERADORES DE SINAIS, PLL, EQUILIZADORES, ETC..., SEM OS PROBLEMAS DE VARIAÇÃO NAS TOLERÂNCIAS DOS COMPONENTES.

1) TRABALHO SERIA DESENVOLVER UM SOFTWARE PARA O PROCESSAMENTO DESEJADO, E TERÍAMOS A VERSATILIDADE DE MODIFICAR AS CONSTANTES DO PROGRAMA E ALTERAR AS CARACTERÍSTICAS DO PROCESSAMENTO, TAIS COMO: UMA FREQUÊNCIA DE OSCILADOR LOCAL, A FAIXA OU A FREQUÊNCIA CENTRAL DE UM FILTRO PASSA-BANDA, ETC..

A ESSE TRATAMENTO DIGITAL, CHAMAMOS DE PROCESSAMENTO DE SINAL.

É EXATAMENTE ISSO QUE O 2920 FAZ.

A FIGURA ABAIXO É O DIAGRAMA EM BLOCO DO 2920 :

5/9

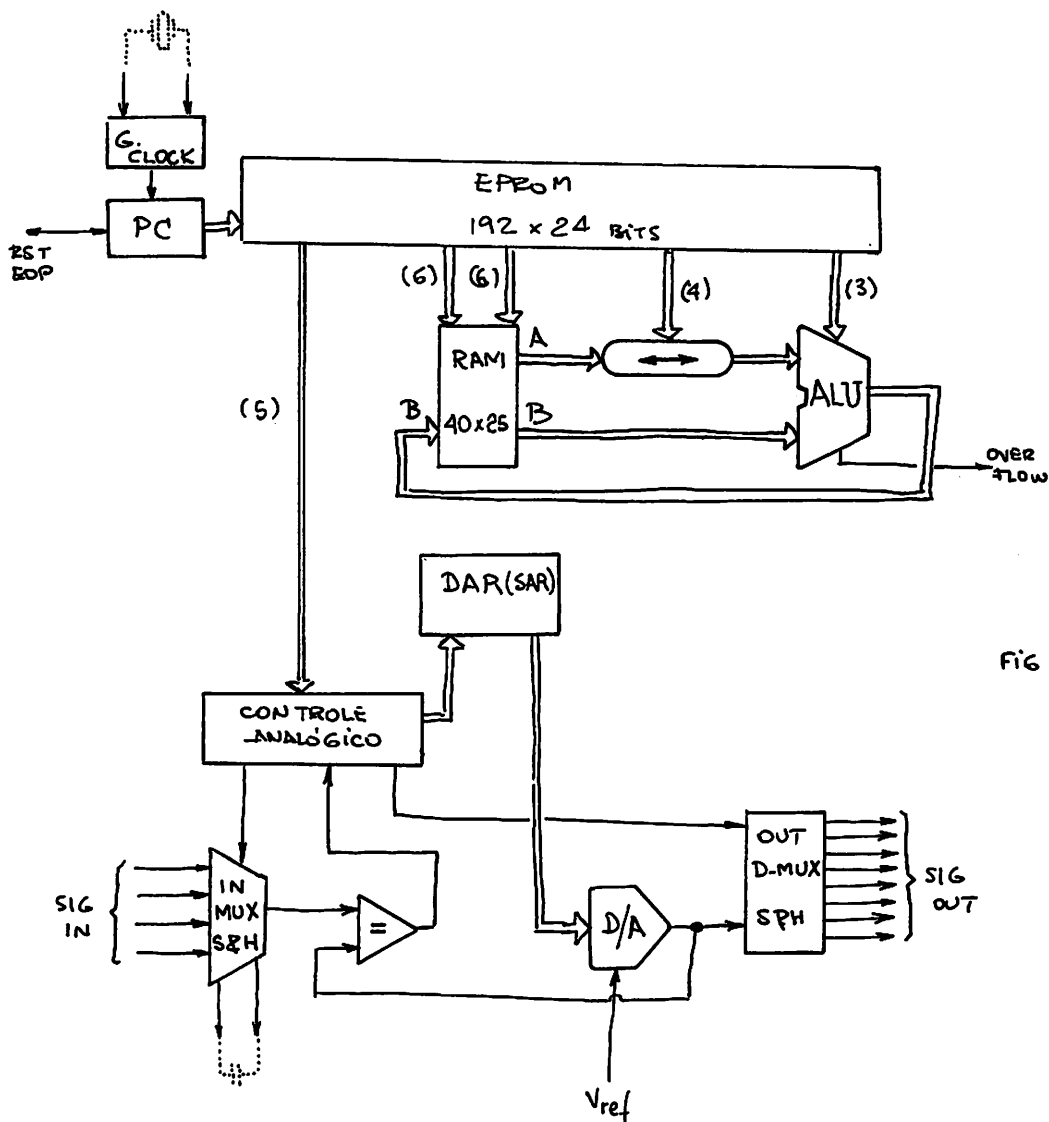


FIG. 7.

AS INSTRUÇÕES TEM UM CICLO FIXO E CORRESPONDE A 4 CICLOS DE CLOCK :

$$T_i = 4 T_{clk}$$

O TAMANHO DO PROGRAMA DEFINE A FREQUÊNCIA DE AMOSTRAGEM. SUPONDO QUE EXISTA SO UMA AMOSTRAGEM NO PROGRAMA, TEMOS :

$$f_a = \frac{1}{n T_i}$$

onde: f_a : frequência de amostragem
 n : nº de instruções do programa
 T_i : tempo de um ciclo de instruções.

NÃO EXISTEM INSTRUÇÕES DE JUMP, EXCETO EOP (END OF PROGRAM) QUE ZERA O CONTADOR DE PROGRAMA. ESSES ASPECTOS FACILITAM OBTENIR UMA FREQUÊNCIA DE AMOSTRAGEM FIXA E SEM JITTER, QUE É UMA DAS CONDIÇÕES PARA A PERFEITA DETERMINAÇÃO DO SINAL.

PODE-SE UTILIZAR UM CLOCK DE ATÉ 10 MHz, PERMITINDO

UM CICLO DE INSTRUÇÃO DE 400 nseg.
 PARA UM PROGRAMA DE 192 INSTRUÇÕES (O MÁXIMO) E
 UM CLOCK DE 10 MHz, TEMOS UMA FREQUÊNCIA DE
 AMOSTRAGEM DE 13020,8 Hz :

6/9

$$f_a = \frac{1}{192 \times 400 \text{ nseg}} \approx 13 \text{ KHz}$$

DE ACORDO COM A TEORIA DA AMOSTRAGEM, PODEMOS
 PROCESSAR SINAIS COM ATÉ 6,5 KHz DE FAIXA DE
 FREQUÊNCIA, SE BEM QUE NA PRÁTICA ESSE NÚMERO
 CAI UM POUCO DEVIDO A PROBLEMAS DE SOBREPOSIÇÃO
 NO ESPECTRO DO SINAL AMOSTRADO E EFEITO PASSA-
 -BAIXO PROVOCADO PELA FUNÇÃO "SAMPLING".

O 2920 UTILIZA TECNOLOGIA MOS CANAL N, É IMPLI-
 MENTADO EM UMA PASTILHA DE 9 mm² E POSSUI UMA
 ARQUITETURA DIFERENTE DOS MP CONVENCIONAIS.
 TEM UMA MEMÓRIA DE PROGRAMA (EPROM) DE 192 x 24 BITS,
 UMA RAM DE 40 x 25 BITS (RASCUNHO), UM REGISTRO
 DE DESLOCAMENTO (QUE ATUA SOBRE UMA DAS PORTAS
 DA RAM), UMA ALU DE 25 BITS, UM CONVERSOR
 A/D E UM D/A.

A INSTRUÇÃO DE 24 BITS AGE DIRETAMENTE SOBRE A
 RAM, O REGISTRO DE DESLOCAMENTO, A ALU E A
 PARTE ANALÓGICA, PERMITINDO, EM UM CICLO DE
 INSTRUÇÃO, EXECUTAR VÁRIAS TAREFAS.

A INSTRUÇÃO SE DIVIDE EM 5 CAMPOS:

ALU	B	A	SHIFT	ANA
(3)	(6)	(6)	(4)	(5)

ALU : FORNECE O CÓDIGO DA OPERAÇÃO PARA A UNIDADE
 ARITMÉTICA.

A e B: DEFINEM O ENDEREÇO DOS DOIS OPERANDOS VINDOS
 DA RAM (A MEMÓRIA DE RASCUNHO PODE SER
 ENDEREÇADA EM SUAS PORTAS: A e B,
 SENDO QUE A PORTA DE ENTRADA É SEMPRE
 A B)

SHIFT: DEFINE O DESLOCAMENTO A SER DADO NO OPERANDO A.
 (MULTIPLICAÇÃO), CONFORME TABELA ABAIXO:

SHIFT	MNEMÔNICO	CÓDIGO	FATOR
13 DIR.	R13	1100	2^{-13}
12 DIR.	R12	1011	2^{-12}
⋮	⋮	⋮	⋮
1 DIR.	R01	0000	2^{-1}
NENHUM	R00	1111	2^0
1 ESQ.	L01	1110	2^1
2 ESQ.	L02	1101	2^2

ANA : DEFINE A OPERAÇÃO ANALÓGICA : AMOSTRAGEM DO SINAL DE ENTRADA , CONVERSÃO A/D , D/A , ETC...

A TABELA ABAIXO MOSTRA O REPERTÓRIO DA ALU :

ADD	$B \leftarrow 2^m A + B$
SUB	$B \leftarrow B - 2^m A$
LDA	$B \leftarrow 2^m A$
XOR	$B \leftarrow B \oplus 2^m A$
AND	$B \leftarrow B \cdot 2^m A$
ABS	$B \leftarrow 2^m A $
LIM	$B \leftarrow \text{Lim } A$
ABA	$B \leftarrow B + 2^m A $

OS BITS DO REGISTRO DAR PODEM SER TESTADOS PELA CÓDIGO ANA , O QUE PERMITE OPERAÇÕES CONDIÇIONAIS

CNDK → CONDIÇIONADA AO BIT K
CND S → " " SINAL

OS CÓDIGOS ANA PARA ENTRADA ESPECIFICAM QUAL PORTA DE ENTRADA NO MUX , O MESMO PARA AS SAÍDAS NO DEMUX :

IN K	AMOSTRA PORTA K
OUT K	D/A PARA PORTA K
CVT K	A/D " " "
CVT S	DETERMINA SINAL .

OUTRAS INS TENCÕES :

EOP	ZERA CONTADOR DE PROGRAMA
NOP	NENHUMA OPERAÇÃO .

O CONVERSOR A/D, ALIMENTADO PELO MUX DE 4 ENTRADAS, É IMPLEMENTADO PELO MÉTODO CONVENCIONAL DE APROXIMAÇÕES SUCESSIVAS, SENDO UTILIZADO O REGISTRO DAR (SAR) DE 9 BITS (1 DE SINAL), O QUE PERMITE UMA RELAÇÃO $\frac{S}{N_q}$ (sinal-ruído de

quantificações) APROXIMADAMENTE DE 54 dB. O CAPACITOR DE AMOSTRAGEM É CONECTADO ETTERNAMENTE (PINOS 7 e 9) E O TEMPO DE AQUISIÇÃO É DE 1200 nseg (PARA $T_i = 400$ ns e $C = 100$ pF)

O CONVERSOR D/A UTILIZA UM ARRANJO DE 256 RESISTORES LOCALIZADOS ENTRE A TENSÃO DE REFERÊNCIA (FORNECIDA EXTERNAMENTE PELO PINO 8 - ENTRE 1 e 2 VOLTS) E 0 VOLTS.

SUPONDO A TENSÃO DE REFERÊNCIA MÍNIMA, PODEMOS CALCULAR O MENOR DEGRAU DO BIT MENOS SIGNIFICATIVO:

$$\text{degrau (LSB)} = \frac{V_{ref}}{256} = 3,9 \text{ mV} @ V_{ref} = 1 \text{ V.}$$

A MEMÓRIA DE RASCUNHO É ENDEREÇADA POR 6 BITS, E POSSUI SOMENTE 40 POSIÇÕES. AS POSIÇÕES RESTANTES SÃO UTILIZADAS PARA GERAR CONSTANTES E ENDEREÇAR O DAR, QUE É O ELO ENTRE AS PARTES DIGITAL E ANALÓGICA DO SISTEMA.

AS CONSTANTES SÓ PODEM SER OBTIDAS PELA PORTA A. A TABELA ABAIXO MOSTRA O MNEMÔNICO UTILIZADO NO ASSEMBLER DO 2920:

<u>Mnemônico</u>	<u>valor</u>	<u>código</u>
KP0/-	0,000	0.000/-
KP1/KM1	0,125	0.001/1.111
KP2/KM2	0,250	0.010/1.110
⋮	⋮	⋮
KP6/KM6	0,750	0.110/1.010
KP7/KM7	0,875	0.111/1.001
- /KM8	1.000	- /1.000

onde : $\begin{cases} KP & - \text{constante positiva} \\ KM & - \text{" negativa.} \end{cases}$

Algoritmo p/ fazer constante

- 1) Estimativa de C , inicialmente $V=0$
- 2) $E = C - V$ se $E < \pm \text{Tolerância} \rightarrow \text{stop}$
- 3) Escolhe $T_{(\text{pot. de } z)}$ $|T-E|$ mínimo
- 4) $V = V + T$
- 5) COTO 2

Exemplo:

$C = 1,875$ aproximações dentro de 901

$$V = 0$$

1ª interação: $V=0 \rightarrow E = 1,875$

$$T_1 = 2^1 \quad E_1 = 1,875 - 2 = -0,125$$

$$V_1 = 2$$

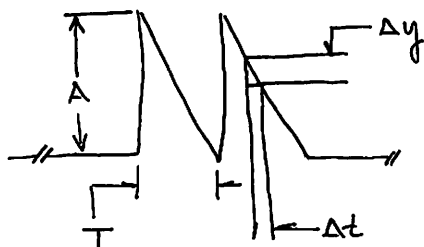
2ª interação

$$T_2 = -2^{-3} = -0,125$$

$$V_2 =$$

— m —

FINALMENTE, A TÍTULO DE EXEMPLO, VAMOS IMPLEMENTAR UMA ROTINA GERADORA DE DENTE DE SERRA.

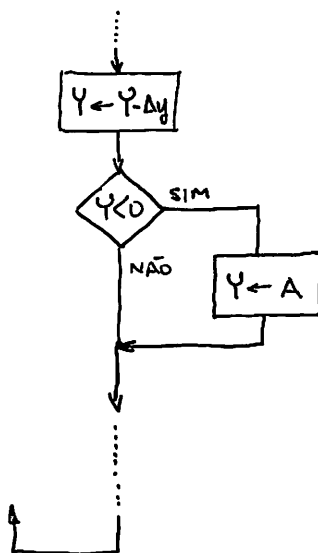


O INCREMENTO Δt É AJUSTADO PELO COMPRIMENTO TOTAL DO PROGRAMA.

OBTEMOS, ENTÃO, O DECREMENTO DE TENSÃO:

$$\Delta y = \frac{A}{T/\Delta t}$$

A ROTINA CONSISTE EM DECREMENTAR Δy DE UMA POSIÇÃO Y DA MEMÓRIA ATÉ ZERO, QUANDO ENTÃO RECARREGAMOS O VALOR A INICIAL:



SUB $Y, \Delta y, R00$

LDA DAR, 0, R00

LDA $Y, A, R00, CNDS$

BIBLIOGRAFIA:

- [1] INTEL COMPONENT DATA CATALOG 1980
- [2] SINGLE-CHIP n-MOS μ C PROCESSES SIGNALS IN REAL TIME - ELECTRONICS, MARCH 1, 1979
- [3] FIRST SINGLE-CHIP SIGNAL PROCESSOR SIMPLIFIES ANALOG DESIGN PROBLEMS - ELECTRONIC DESIGN 20, SEPT. 27, 1979 pp 50.
- [4] PROGRAM A SPECTRUM ANALYZER ON A ONE-CHIP R.T. SIGNAL PROCESSOR - ELECTRONIC DESIGN 23, NOV 8, 1979 - pp. 70.
- [5] AN NMOS μ P FOR ANALOG SIGNAL PROCESSING - IEEE - SOLID-STATE CIRCUITS - VOL SC 15 - pp 33, FEB 1980.